

TRADUCTION DE BREVET EUROPEEN

11. Numéro de publication européen : 0 880 250

21. Numéro de dépôt de la demande : 98 303 415.8

5 45. Mention de la délivrance : Bulletin européen n° 06/29 du 19.07.06

La présente invention est relative à un appareil de réception et à des procédés de réception, et plus particulièrement à un appareil de
10 réception et à des procédés de réception basé sur des techniques OFDM.

Des procédés de modulation connus sous le nom de multiplexage par répartition orthogonale de la fréquence (OFDM) ont récemment été proposés pour transmettre un signal numérique. Dans un procédé OFDM, un certain nombre de sous-porteuses orthogonales les
15 unes aux autres sont fournies dans une bande de transmission, des éléments de données sont respectivement attribués aux amplitudes et aux phases des sous-porteuses, et une modulation numérique est exécutée par une modulation par déplacement de phase (PSK) ou une modulation d'amplitude en quadrature (QAM). Ce procédé utilise une bande réduite
20 pour une sous-porteuse étant donné que la bande de transmission est divisée en rapport avec le nombre de sous-porteuses, de telle sorte que la vitesse de modulation soit réduite. Toutefois, ce procédé parvient à la même vitesse de transmission totale que les autres procédés de modulation conventionnels parce que le nombre de porteuses est élevé.

25 Dans ce procédé OFDM, la vitesse de symbole est réduite étant donné qu'un certain nombre de sous-porteuses sont transmises parallèlement les unes aux autres, de telle sorte qu'une période de trajets multiples relative à la longueur d'un symbole par rapport au temps puisse être réduite. Donc, on peut s'attendre à ce qu'un procédé OFDM offre une
30 résistance élevée à une interférence de transmission par trajets multiples.

A cause de la caractéristique décrite ci-dessus, les procédés OFDM ont attiré l'attention, en particulier en ce qui concerne la transmission de signaux numériques d'onde de sol susceptibles d'influencer l'interférence de transmission par trajets multiples. Par
35 exemple, le "Digital Video Broadcasting-Terrestrial" (DVB-T) est bien

connu comme système de transmission de signaux numériques par ondes de sol.

Avec les récents progrès de la technologie des semi-conducteurs, il est devenu possible de réaliser une transformation de Fourier discrète (appelée dans la suite FFT (transformation de Fourier rapide) et une transformation de Fourier discrète inverse (appelée dans la suite IFFT (transformation de Fourier rapide inverse)) par ordinateur. Si on utilise ces transformations, il est possible d'exécuter facilement une modulation et une démodulation selon un procédé OFDM. Ceci a également contribué à attirer l'attention sur les procédés OFDM.

La figure 10 est un schéma bloc montrant la configuration d'un exemple d'un récepteur OFDM. Une antenne de réception 101 capture un signal RF. Un circuit de multiplication 102 calcule le produit du signal RF et d'un signal produit par un syntoniseur 103 et qui présente une fréquence prédéterminée. Un filtre passe-bande 104 extrait le signal IF souhaité à partir d'une sortie du circuit de multiplication 102. Un circuit de conversion A/D (analogique à numérique) 105 convertit le signal IF extrait par le filtre passe bande 104 en un signal numérique.

Un démultiplexeur 106 sépare et extrait un signal de canal I et un signal de canal Q à partir du signal IF numérisé. Des filtres passe-bas 107 et 108 convertissent respectivement le signal de canal de I et le signal de canal Q en signaux de bande de base en éliminant les composantes de haute fréquence inutiles contenues dans le signal de canal I et dans le signal de canal Q.

Un circuit de multiplication complexe 109 élimine une erreur de fréquence porteuse dans les signaux de bande de base par un signal présentant une fréquence prédéterminée fourni par un circuit d'oscillation à commande numérique 110, et transmet ensuite les signaux de bande de base à un circuit de transformation de Fourier rapide 112 qui exécute une décomposition de fréquence des signaux d'horloges OFDM pour former des données reçues de canal I et de canal Q.

Un circuit de calcul de valeur de corrélation 113 calcule une moyenne de décalage d'intervalles de garde en calculant le produit d'un signal horaire OFDM converti dans la bande de base et le signal OFDM retardé par la période de symbole effective pour obtenir une valeur de corrélation des deux signaux, et entraîne le circuit de transformation de

Fourier rapide 112 à commencer à calculer lorsque la valeur de corrélation est maximisée.

Un circuit de calcul d'erreur de fréquence porteuse 114 calcule une erreur de fréquence porteuse en détectant une déviation de puissance de fréquence et communique le résultat du calcul à un circuit d'addition 111. Le circuit d'addition 111 calcule la somme des sorties du circuit de calcul d'erreur de fréquence porteuse 114 et du circuit de calcul de valeur de corrélation 113 et communique le résultat du calcul au circuit d'oscillation à commande numérique 110.

Un circuit de reproduction de fréquence d'horloge 115 forme un signal de commande en se référant aux données de canal I et aux données de canal Q pour commander la fréquence d'oscillation du circuit d'oscillation d'horloge 116. Le circuit d'oscillation d'horloge 116 forme et produit un signal d'horloge selon le signal de commande fourni par le circuit de reproduction de fréquence d'horloge 115.

Le fonctionnement de l'exemple décrit ci-dessus de l'appareil conventionnel va maintenant être décrit.

Le circuit de multiplication 102 calcule le produit d'un signal RF capturé par l'antenne de réception 101 et du signal fourni par le syntoniseur 103 présentant une fréquence prédéterminée. Le filtre passe-bande 104 extrait le signal IF de la sortie de signal du circuit de multiplication 102.

Le circuit de conversion A/D 105 convertit le signal IF généré par le filtre passe-bande 104 en un signal numérique en synchronisation avec le signal d'horloge produit par le circuit d'oscillation d'horloge 116, et transmet le signal numérique au démultiplexeur 106. Le démultiplexeur 106 sépare et extrait un signal de canal I et un signal de canal Q à partir du signal numérisé et transmet ces signaux aux filtres passe-bas 107 et 108. Les filtres passe-bas 107 et 108 convertissent respectivement le signal de canal I et le signal de canal Q en signaux de bande de base en éliminant les composantes de crénelage qui sont des composantes de haute fréquence inutiles contenues dans le signal de canal I et dans le signal de canal Q.

Le circuit de multiplication complexe 109 élimine une erreur de fréquence porteuse dans les signaux de bande de base par un signal présentant une fréquence prédéterminée fourni par le circuit d'oscillation à

commande numérique 110, et transmet ensuite les signaux de bande de base au circuit de transformation de Fourier rapide 112. Le circuit de transformation de Fourier rapide 112 exécute une décomposition de fréquence du signal horaire OFDM pour former des données reçues de canal I et de canal Q.

Le circuit de calcul de valeur de corrélation 113 calcule une valeur représentant une corrélation entre le signal horaire OFDM converti dans la bande de base et le signal OFDM retardé par la période de symbole effective et entraîne le circuit de transformation de Fourier rapide 112 à commencer à calculer lorsque la valeur de corrélation est maximisée. Par conséquent, le circuit de transformation de Fourier rapide 112 peut extraire avec précision des données contenues dans le signal de canal I et dans le signal de canal Q envoyés depuis le côté de transmission.

Il existe plusieurs exigences de synchronisation pour démoduler correctement le signal OFDM sur le côté de réception. Par exemple, il est nécessaire de synchroniser la fréquence d'oscillation dans le circuit d'oscillation à commande numérique 110 avec la fréquence correspondante sur le côté de transmission en vue de convertir le signal OFDM dans la bande IF en signal OFDM dans la bande de base. Il est également nécessaire de synchroniser le signal d'horloge, qui constitue une référence pour tous les traitements, avec celui côté transmission.

Un procédé de reproduction d'horloge déjà proposé, qui est utilisé comme procédé pour la synchronisation ultérieure du signal d'horloge avec celui côté transmission, va maintenant être décrit.

Selon le procédé décrit ci-dessous, côté transmission, un nombre prédéterminé de signaux particuliers d'amplitude et de phase prescrits (appelés dans la suite signaux pilotes autres que signaux d'information) à transmettre sont insérés et transmis par rapport à chacun des symboles. Côté réception, les signaux pilotes insérés côté transmission sont extraits du signal OFDM traité par un calcul FFT, et les signaux pilotes extraits sont traités par un calcul de Costas ou analogue décrit ci-dessous pour reproduire le signal d'horloge.

La figure 11 montre la configuration d'un circuit de reproduction d'horloge conventionnel pour reproduire un signal d'horloge en utilisant un calcul de Costas dans le cas où les signaux pilotes sont modulés par un

QPSK (modulation par déplacement de phase en quadrature). Des circuits de porte 208-1 et 208-2 montrés dans la figure 11 reçoivent des données de canal I et des données de canal Q traitées par le calcul FFT, extraient uniquement les signaux pilotes à partir des données de canal I et Q et produisent les signaux pilotes. Un circuit d'élévation au carré 203-1 et 203-2 élève au carré respectivement les signaux pilotes extraits par les circuits de porte 208-1 et 208-2 et génère les signaux au carré. Un circuit de multiplication 205 calcule le produit des signaux pilotes extraits par les circuits de porte 208-1 et 208-2 et génère le produit.

Un circuit de soustraction 206 soustrait la sortie du circuit d'élévation au carré 203-2 de la sortie du circuit d'élévation au carré 203-1 et communique le résultat de la soustraction. Un circuit de multiplication 207 calcule le produit de la sortie du circuit de multiplication 205 et la sortie du circuit de soustraction 206 et génère le produit. Un filtre passe-bas (LPF) 209 élimine les composantes à haute fréquence inutiles de la sortie du circuit de multiplication 207 et communique le résultat du traitement.

Le fonctionnement du circuit conventionnel décrit ci-dessus va maintenant être décrit.

Les données de canal I et les données de canal Q démodulées par une décomposition de fréquence par le circuit de transformation de Fourier rapide 112 montré dans la figure 10 sont respectivement entrées dans les circuits de porte 208-1 et 208-2 dans l'ordre de la plus petite à la plus grande de leurs fréquences inférieures. Les circuits de porte 208-1 et 208-2 extraient respectivement uniquement les signaux pilotes des données de canal I et des données de canal Q et transmettent les signaux pilotes aux circuits d'élévation au carré 203-1 et 203-2 et au circuit de multiplication 205.

Le circuit de multiplication 205 calcule le produit des signaux pilotes extraits par les circuits de porte 208-1 et 208-2 et communique le produit au circuit de multiplication 207. Les circuits d'élévation au carré 203-1 et 203-2 élèvent respectivement au carré les signaux pilotes extraits par les circuits de porte 208-1 et 208-2 et transmettent les signaux pilotes au carré au circuit de soustraction 206.

Le circuit de soustraction 206 soustrait la sortie du circuit d'élévation au carré 203-2 de la sortie du circuit d'élévation au carré 203-1

et communique le résultat de la soustraction au circuit de multiplication 207. Le circuit de multiplication 207 calcule le produit de la sortie du circuit de multiplication 205 avec la sortie du circuit de soustraction 206 et génère le produit. Le LPF 209 élimine les composantes à haute fréquence
5 inutiles de la sortie du circuit de multiplication 207 et communique le résultat du traitement.

La séquence d'opérations décrite ci-dessus est appelée calcul de Costas, grâce auquel une erreur de phase dans le signal d'horloge peut être détectée. Le circuit d'oscillation d'horloge 116 est commandé en se
10 référant à une erreur de phase dans le signal d'horloge détectée selon la manière décrite ci-dessus, formant ainsi le signal d'horloge avec précision.

Dans le cas où une erreur de phase est détectée en utilisant un calcul de Costas du type décrit ci-dessus et qu'un signal d'horloge est reproduit suivant le résultat du calcul de Costas, l'erreur de phase
15 détectée contient, en plus d'une erreur de phase accompagnant une erreur de fréquence d'horloge, une erreur de phase de porteuse reproductrice, une erreur de phase de fenêtre FFT, une erreur de phase due au bruit gaussien, et une erreur de phase due à une distorsion de canal de transmission par trajets multiples inévitable lors de la
20 transmission d'ondes de sol. Il est par conséquent difficile de commander le circuit d'oscillation d'horloge en extrayant uniquement une phase d'erreur accompagnant uniquement une erreur d'horloge reproductrice.

La figure 12A montre un exemple d'un spectre d'un signal OFDM, et la figure 12B montre un spectre du signal OFDM lorsque le
25 signal subit une interférence de transmission par trajets multiples. Dans ces diagrammes, les lignes épaisses représentent des signaux pilotes insérés côté transmission. Si, dans la figure 12B, un signal transmis subit une interférence de transmission par trajets multiples sélective selon la fréquence, le rapport signal - bruit des signaux pilotes est réduit par rapport à celui des autres sous-porteuses. Dans une telle situation, le
30 rapport signal - bruit du signal d'erreur de phase du signal d'horloge formé à partir des signaux pilotes par le procédé décrit ci-dessus est également réduit. Donc, si le signal transmis subit une interférence de transmission par trajets multiples, il est difficile de reproduire le signal d'horloge avec
35 précision.

Au vu des circonstances décrites ci-dessus, un objectif d'au moins un mode de réalisation de la présente invention consiste à fournir un circuit de reproduction d'horloge pour un appareil de réception de signaux OFDM capable de reproduire avec précision un signal d'horloge même si un signal OFDM reçu contient, en plus d'une erreur de phase accompagnant une erreur de fréquence d'horloge, une erreur de phase de porteuse reproductrice, une erreur de phase de fenêtre FFT, une erreur de phase due au bruit gaussien et/ou une erreur de phase due à une distorsion de canal de transmission par trajets multiples.

La demande de brevet internationale publiée (PCT) n° WO 95/19671 divulgue une technique pour recevoir un signal OFDM dans lequel un signal IF entrant est passé à travers un convertisseur - abaisseur qui convertit celui-ci en composantes de quadrature de bande de base $I(t)$ et $Q(t)$. Ces composantes sont envoyées à des convertisseurs A/D afin d'être échantillonnées pour former des composantes numérisées $I(kT)$ et $Q(kT)$ qui sont transmises à un processeur FFT qui convertit le signal d'horloge en domaine de fréquence pour produire deux symboles de synchronisation connus $k1$ et $k2$ correspondant à deux sous-porteuses de fréquences choisies symétriquement autour de zéro. Les symboles $k1$ et $k2$ sont dirigés vers un démultiplexeur pour être démultiplexés. Des moyens de calcul calculent des signaux d'erreur $F1$ et $F2$ à partir des symboles démultiplexés $k1$ et $k2$. Spécifiquement, une erreur de phase absolue est calculée pour chacune des sous-porteuses, des erreurs temporelles et des erreurs de phase sont formées à partir des erreurs de phases absolues, le signal d'erreur $F1$ est formé à partir de la déviation d'un signal d'horloge d'échantillonnage utilisé pour l'opération d'échantillonnage et d'une erreur temporelle pour commander l'horloge d'échantillonnage, et le signal d'erreur $F2$ est formé à partir de la déviation d'un signal d'horloge IF utilisé pour l'opération de conversion - abaissement et d'une erreur de phase pour commander l'horloge IF.

Le brevet des Etats-Unis n° US-A-5 313 169 (correspondant au document WO 92/10043 en langue française) divulgue également une technique de réception de signaux OFDM, la technique étant telle qu'elle est décrite dans les parties pré-caractérisantes des revendications 1 et 3 de celle-ci. Dans ce cas également, un signal entrant (comprenant deux porteuses ou lignes maîtresses $k1$ et $k2$ avec une différence de fréquence

fixe entre elles), est converti dans la bande de base, numérisé (échantillonné) et transmis à un convertisseur FFT. Les signaux de sortie K1 et K2 du convertisseur FFT sont transmis à un circuit comprenant des moyens de retard (stockage) et qui calcule des signaux pour commander des signaux d'horloge dans les opérations de conversion - abaissement et d'échantillonnage.

Selon un premier aspect de la présente invention, celle-ci fournit un appareil pour recevoir un signal OFDM, l'appareil étant tel qu'il est décrit dans la revendication 1 de celle-ci.

Selon un deuxième aspect de la présente invention, celle-ci fournit un procédé pour recevoir un signal OFDM, le procédé étant tel qu'il est décrit dans la revendication 3 de celle-ci.

Dans l'appareil de réception selon le premier aspect de la présente invention, les moyens de conversion exécutent une transformation de Fourier discrète d'un signal OFDM; les moyens de stockage stockent une composante de fréquence d'une sous-porteuse obtenue par les moyens de conversion; les moyens de calcul calculent une quantité de changement de phase entre la composante de fréquence stockée dans les moyens de stockage au moins un symbole avant et une composante de fréquence nouvellement obtenue par les moyens de conversion; les moyens d'extraction extraient une composante correspondant à une série de signaux pilotes de la quantité de changement de phase calculée par les moyens de calcul; et les moyens de commande commandent la fréquence d'un signal d'horloge selon la quantité de changement de phase extraite par lesdits moyens d'extraction et correspondant à la série de signaux pilotes. Par exemple, un circuit de conversion FFT correspondant aux moyens de conversion exécute une transformation de Fourier discrète d'un signal OFDM; une mémoire correspondant aux moyens de stockage stocke une composante de fréquence sous-porteuse obtenue de cette manière; les moyens de calcul procèdent à une démodulation différentielle de la composante de fréquence stockée dans la mémoire un symbole de référence avant et une composante de fréquence nouvellement produite par le circuit de conversion FFT pour calculer une quantité de changement de phase; les moyens d'extraction extraient une composante correspondant à une série de signaux pilotes de la quantité de changement de phase calculée par les

moyens de calcul; et les moyens de commande commandent la fréquence d'un signal d'horloge selon la quantité de changement de phase des séries de signaux pilotes extraits par les moyens d'extraction.

Dans le procédé de réception selon le deuxième aspect de la présente invention, une transformée de Fourier discrète d'un signal OFDM est exécutée à l'étape de conversion; une composante de fréquence d'une sous-porteuses obtenue à l'étape de conversion est stockée à l'étape de stockage; une quantité de changement de phase entre la composante de fréquence stockée à l'étape de stockage au moins un symbole avant et une composante de fréquence nouvellement obtenue à l'étape de conversion sont calculées à l'étape de calcul; une composante correspondant à une série de signaux pilotes est extraite à l'étape d'extraction de la quantité de changement de phase calculée à l'étape de calcul; et la fréquence d'un signal d'horloge est commandée à l'étape de commande selon la quantité de changement de phase extraite à l'étape d'extraction et correspondant aux séries de signaux pilotes. Par exemple, à l'étape de conversion, un circuit FFT exécute une transformation de Fourier discrète d'un signal OFDM; à l'étape de stockage, une mémoire stocke une composante de fréquence sous-porteuse obtenue de cette manière; à l'étape de calcul, la composante de fréquence stockée à l'étape de stockage au moins un symbole avant et une composante de fréquence nouvellement produite par le circuit de conversion FFT fait l'objet d'une démodulation différentielle pour obtenir une quantité de changement de phase; à l'étape d'extraction, une composante correspondant à une série de signaux pilotes est extraite de la quantité de changement de phase calculée à l'étape de calcul; et, à l'étape de commande, la fréquence d'un signal d'horloge est commandée selon la quantité de changement de phase de la série de signaux pilotes extraits à l'étape d'extraction.

L'invention va maintenant être décrite à titre d'exemple en se référant aux dessins annexés, dans lesquels des éléments identiques sont désignés par des repères numériques identiques, et dans lesquels:

la figure 1 est un schéma bloc montrant la configuration d'un premier mode de réalisation selon la présente invention;

la figure 2 est un diagramme dans lequel des signaux pilotes avant et après une démodulation différentielle sont montrés sur un plan de phase;

la figure 3 est un diagramme montrant la relation entre une erreur de phase due à une erreur de fréquence d'horloge et des fréquences sous-porteuses;

la figure 4 est un diagramme montrant une région d'erreur de fréquence d'horloge résiduelle.

la figure 5 est un diagramme dans lequel la région d'erreur de fréquence d'horloge résiduelle est montrée sur un plan de phase;

la figure 6 est un diagramme montrant un signal horaire OFDM et une valeur de corrélation;

la figure 7 est un diagramme montrant la relation entre la phase d'un maximum de la valeur de corrélation et une erreur de fréquence d'horloge;

la figure 8 est un schéma bloc montrant la configuration d'un deuxième mode de réalisation selon la présente invention;

la figure 9 est un schéma bloc montrant la configuration d'un circuit de détection d'erreur de phase montré dans la figure 8;

la figure 10 est un schéma bloc montrant la configuration d'un récepteur OFDM;

la figure 11 est un schéma bloc montrant la configuration d'un appareil de reproduction d'horloge conventionnel utilisant un calcul de Costas; et

les figures 12A et 12B sont des diagrammes montrant un spectre reçu de signaux OFDM influencé par une interférence de transmission par trajets multiples.

La figure 1 montre un mode de réalisation de la présente invention. Ce mode de réalisation est relatif au circuit de reproduction de fréquence d'horloge 115 montré dans la figure 10.

En se référant à la figure 1, un circuit de démodulation différentielle 503 est constitué de mémoires vives (RAM) 506 et 507, d'un circuit d'inversion de signe 510 et d'un circuit de multiplication complexe 511, et est prévu pour procéder à une démodulation différentielle de données d'entrée de canal I et de canal Q. Chacune des RAM 506 et 507 est prévue pour stocker chacune des unités des données d'entrée de canal I et de canal Q correspondant aux symboles selon un signal de commande c en provenance d'un circuit de commande 520, et pour produire chaque unité de données avec un retard correspondant à une période de symbole.

de commande b envoyé par le circuit de commande 520 immédiatement avant que chaque symbole soit entré.

Un circuit de moyenne 516 est prévu pour établir la moyenne, sur plusieurs symboles, de la quantité d'erreurs de phase accumulées produites par rapport aux symboles pour éliminer le bruit gaussien contenu dans la quantité d'erreurs de phase, et pour calculer ensuite une quantité d'erreur de phase 517 pour commander un circuit d'oscillation d'horloge 116.

Un circuit de comparaison 518 est prévu pour détecter l'accomplissement d'une détermination (asservissement) de la fréquence d'un signal d'horloge et pour envoyer des informations correspondantes au circuit de commande 520. En d'autres termes, le circuit de comparaison 518 compare la valeur 519 correspondant au cas où des données modulées par différenciation inter-symboles sont nulles et la valeur en cours d'une quantité d'erreur de phase 517, et envoie un signal de commande prédéterminé au circuit de commande 520 s'il détermine que ces valeurs sont égales l'une à l'autre.

Le fonctionnement de ce mode de réalisation va maintenant être décrit, et le principe du fonctionnement va d'abord être décrit brièvement.

Par exemple, si un traitement de reproduction d'un signal OFDM est exécuté côté réception en utilisant un signal d'horloge non synchronisé avec celui côté transmission, des signaux pilotes démodulés par un traitement FFT contiennent une erreur de phase due à un échec de la synchronisation du signal d'horloge ainsi que d'une erreur de phase de fenêtre FFT, une erreur de phase de porteuse reproductive, une erreur de phase due à un bruit gaussien et une erreur de phase due à une distorsion de canal, telle qu'une interférence de transmission par trajets multiples, ou analogue, que l'on rencontre couramment.

Des erreurs de phase autres que celles dues au bruit gaussien et à un échec de synchronisation de signal d'horloge sont constantes indépendamment des symboles. Par conséquent, de telles erreurs de phase (erreurs de phase constantes indépendamment des symboles) peuvent être éliminées en exécutant une démodulation différentielle entre des symboles d'un signal à un certain temps de référence et un signal actuellement observé. Ceci peut être exprimé par les équations suivantes:

$$\theta_{nk} = \theta_k + \phi + nk\delta + k(1+\delta)\tau + \psi_k + \varepsilon_n \dots \quad (2)$$

$$\theta_{(n+1)k} = \theta_k + \phi + (n+1)k\delta + k(1+\delta)\tau + \psi_k + \varepsilon_{n+1} \dots \quad (3)$$

$$\theta_{(n+1)k} - \theta_{nk} = k\delta + \varepsilon_{n+1} + \varepsilon_n \dots \quad (4)$$

L'équation 2 représente des données de phase d'une $k^{\text{ième}}$ fréquence sous-porteuse du $n^{\text{ième}}$ symbole. θ_k représente une phase prescrite côté transmission; δ représente une erreur d'horloge; ϕ représente une erreur de phase de la porteuse reproductrice; τ représente une erreur de phase de fenêtre FFT; ψ_k représente une erreur de phase due à une distorsion de canal de transmission telle qu'une interférence de transmission par trajets multiples à la $k^{\text{ième}}$ fréquence sous-porteuse; et ε_n représente une erreur de phase du $n^{\text{ième}}$ symbole due au bruit gaussien. L'équation (3) représente des données de phase de la $k^{\text{ième}}$ fréquence sous-porteuse du $(n+1)^{\text{ième}}$ symbole. L'équation (4) est le résultat de la soustraction de l'équation (2) de l'équation (3) et représente la quantité de changement de phase dans la $k^{\text{ième}}$ fréquence sous-porteuse entre le $(n+1)^{\text{ième}}$ symbole et le $n^{\text{ième}}$ symbole de la $k^{\text{ième}}$ fréquence sous-porteuse.

La figure 2 illustre la relation décrite ci-dessus. Au point (2) de la figure 2, chacun des can-1 , cbn-1 , can et Cbn désigne un signal pilote d'une fréquence a ou b dans le $(n+1)^{\text{ième}}$ ou $n^{\text{ième}}$ symbole montré sur un plan de phase, et chacun des $\theta_{\text{can-1}}$, $\theta_{\text{cbn-1}}$, θ_{can} et θ_{cbn} désigne la quantité de phase du signal. Naturellement, les fréquences des signaux pilotes contenus dans les $(n-1)^{\text{ième}}$ et $n^{\text{ième}}$ symboles sont égales les unes aux autres. Toutefois, un décalage peut se produire entre leurs points sur le plan de phase dû à différentes erreurs telles que celles décrites ci-dessus, comme cela est montré au point (A) dans la figure 2. Si une démodulation différentielle est exécutée entre les $(n+1)^{\text{ième}}$ symboles et $n^{\text{ième}}$ symboles, des erreurs qui sont constantes indépendamment des symboles (une erreur de phase de fenêtre FFT, une erreur de phase de porteuse reproductrice, une erreur de phase due à une distorsion de canal telle qu'une interférence de transmission par trajets multiples ou analogue, etc.) peuvent être éliminées.

En d'autres termes, comme cela est montré au point (B) dans la figure 2, le résultat d'une démodulation différentielle entre les $(n+1)^{\text{ième}}$ et $n^{\text{ième}}$ symboles est telle que les deux signaux pilotes sont déplacés vers le voisinage de l'axe I. Au point (2) dans la figure 2, dcan et dcbn représentent des données des signaux pilotes de fréquences a et b sur le

plan de phase après une modulation différentielle inter-symboles, et θ_{can} et θ_{cbn} représentent les quantités de phase des signaux, qui correspondent à des quantités de phase dues à une erreur de fréquence d'horloge et à une erreur due à un bruit gaussien.

5 Donc, il est possible d'éliminer les erreurs dues à des facteurs autres qu'une erreur de fréquence d'horloge et à un bruit gaussien en exécutant une démodulation différentielle entre des symboles. L'élimination des erreurs dues à un bruit gaussien va maintenant être décrite.

10 Etant donné que les erreurs dues à un bruit gaussien se produisent de façon aléatoire, elles peuvent être éliminées par un effet filtrant (lissant) basé sur une addition cumulative d'erreurs de phase obtenues à partir d'une pluralité de signaux pilotes. Par conséquent, une
15 quantité d'erreur de phase proportionnelle à une erreur de fréquence d'horloge peut être obtenue. Un signal d'horloge peut être formé en commandant avec précision le circuit d'oscillation d'horloge 116 en utilisant la quantité d'erreur de phase obtenue de cette manière.

 La commande décrite ci-dessus est exécutée de façon numérique (en utilisant des valeurs numériques discrètes). Par
20 conséquent, si la quantité de changement de phase entre deux symboles voisins devient inférieure à la résolution, il est impossible de continuer la commande. Dans ce mode de réalisation de la présente invention, si la quantité de changement de phase entre deux symboles voisins devient inférieure à la résolution, le signal au moment correspondant après le
25 traitement FFT est stocké dans une mémoire, et une démodulation différentielle est exécutée entre les données stockées et les nouvelles données pour détecter une erreur de phase d'horloge avec un espace de temps non supérieur à la période de symbole. En d'autres termes, étant donné qu'une erreur de ce type (erreur de quantification) est accumulée
30 avec le temps écoulé, elle peut être détectée en augmentant la période de temps entre des objets de comparaison.

 Le fonctionnement du mode de réalisation montré dans la figure 1 va être décrit en détail.

35 Des données de canal I 501 et des données de canal Q 502 décomposées par rapport aux fréquences sous-porteuses par le circuit de

transformation de Fourier rapide 112 sont entrées dans le circuit de démodulation différentielle 503.

5 A un stade initial de reproduction d'horloge, le circuit de démodulation différentielle 503 fournit successivement les données de canal I et les données de canal Q aux RAM 506 et 507 et au circuit de calcul complexe 511 dans l'ordre de la plus basse à la plus élevée des fréquences des données.

10 Les RAM 506 et 507 stockent respectivement les données de canal I et les données de canal Q par rapport aux symboles par un signal de commande c envoyé par le circuit de commande 520 et délivre les données avec un retard correspondant à une période de symbole. Le circuit d'inversion de signe 510 inverse le signe des données de canal Q délivrées par la RAM 507 et génère les données de signe inversé. Les données de canal I, les données de canal I retardées d'un symbole, les données de canal Q et les données de canal Q de signe inversé et retardées d'un symbole font l'objet d'une multiplication complexe montrée par l'équation (1) dans l'ordre de la plus basse à la plus élevée de leurs fréquences pour être délivrées sous la forme de données de canal I 523 et de données de canal Q 524. Cette séquence d'opérations est un traitement de démodulation différentielle inter-symboles.

20 Comme cela est décrit ci-dessus, une erreur de fenêtre FFT, une erreur de phase de porteuse reproductrice, etc., contenue dans le signal, sont éliminées par cette séquence d'opérations (démodulation différentielle).

25 Les données traitées par démodulation différentielle 523 et 524 sont transmises en séquence à la ROM 512, et des quantités de changement de phase inter-symboles 513 correspondant aux valeurs de ces données sont lues et transférées au circuit de porte 514.

30 Le circuit de porte 514 sélectionne et délivre, selon une commande du circuit de commande 520, une seule composante correspondant à chacun des signaux pilotes à partir des données de quantité de changement de phase inter-symboles 513 en provenance de la ROM 512.

35 Le circuit d'inversion de signe 521 inverse le signe du signal pilote extrait par le circuit de porte 514 et transmet le signal de signe inversé au sélecteur 522. Le sélecteur 522 est commandé par le circuit de

commande 520 et sélectionne la quantité de changement de phase directement entrée par le circuit de porte 514 si le signal pilote entré est une valeur de fréquence positive, ou la quantité de changement de phase entrée par le circuit d'inversion de signe 521 si le signal pilote entré est
5 une valeur de fréquence négative, et transmet la quantité de changement de phase sélectionnée au circuit d'addition cumulative 515. Des directions de rotation de changement de phase d'une erreur de fréquence d'horloge, comme cela est montré dans la figure 3, dépendant du signe plus ou moins des valeurs de fréquence, peuvent être uniformisées par cette
10 opération.

Le circuit d'addition cumulative 515 est initialisé par un signal de commande b fourni par le circuit de commande 520 immédiatement avant qu'un nouveau symbole soit entré. Ensuite, le circuit d'addition cumulative 515 exécute une addition cumulative des quantités d'erreur de
15 phase des signaux pilotes envoyés par le sélecteur 522. Le circuit de moyenne 516 établit une moyenne, sur plusieurs symboles, de la quantité d'erreurs de phase accumulées produites par rapport aux symboles pour éliminer les composantes de bruit gaussien contenues dans la quantité d'erreurs de phase, comme cela est décrit ci-dessus, et produit une
20 quantité d'erreur de phase 517 pour commander le circuit d'oscillation d'horloge 116. La quantité d'erreur de phase 517 sortie par le circuit de moyenne 116 est transmise au circuit d'oscillation d'horloge 116 pour commander la fréquence d'oscillation de celle-ci. Une fréquence d'horloge correcte est reproduite par cette séquence d'opérations.

25 Lorsque le traitement de détermination de fréquence d'horloge exécuté selon la manière décrite ci-dessus est accompli, une quantité d'erreur de phase 517 obtenue par démodulation différentielle inter-symboles devient inférieure à la résolution et entre dans une région d'erreur de fréquence d'horloge montrée dans la figure 4. En d'autres
30 termes, étant donné qu'une erreur dans la fréquence d'horloge est fournie comme une valeur discrète, il existe une possibilité que la sortie de fréquence d'horloge ne soit pas nulle même lorsque l'erreur de phase accumulée de démodulation différentielle inter-symboles est nulle. Dans pareil cas, il est impossible de continuer à commander avec précision le
35 signal d'horloge.

Dans la figure 5, la région d'erreur de fréquence d'horloge résiduelle montrée dans la figure 4 est indiquée sur le plan de phase. Dans la figure 5, l'ordonnée représente un signal Q alors que l'abscisse représente un signal I, et les lignes de quadrillage correspondent à des étapes de quantification. Si un signal pilote représenté par le repère rond blanc dans la figure 5 est entré pour être identifié par rapport aux lignes de quadrillage, il est identifié en tant que données à la position indiquée par le repère rond noir dans la figure 5. Dans pareil cas, l'erreur de phase due à l'erreur de fréquence d'horloge est ignorée, de telle sorte que la commande ne soit pas exécutée par rapport à l'erreur.

Toutefois, dans ce mode de réalisation, si le circuit de comparaison 518 détecte une convergence de la sortie du circuit de moyenne 516, il envoie un signal de commande au circuit de commande 520 pour fixer les valeurs dans les RAM 506 et 507.

En d'autres termes, le circuit de comparaison 518 compare la quantité d'erreur de phase 571 avec les données 519 correspondant au cas dans lequel les données démodulées par différenciation inter-symboles sont nulles, et envoie le signal de commande au circuit de commande 520 s'il détermine que ces données sont égales les uns aux autres. A la réception de ce signal de commande, le circuit de commande 520 fournit un signal de commande c aux RAM 506 et 507 pour que ces RAM stockent les signaux démodulés sortis par le circuit de transformation de Fourier rapide 112. Ensuite, le circuit de démodulation différentielle 503 exécute une démodulation différentielle sur la base des signaux stockés dans les RAM 506 et 507, de telle sorte que le temps de détection de signal d'erreur de phase soit plus long que le temps d'intervalle de symbole, permettant ainsi une commande appropriée pour détecter une erreur de fréquence d'horloge moindre que l'erreur de fréquence d'horloge résiduelle.

Dans le mode de réalisation décrit ci-dessus, un signal d'horloge peut être reproduit avec précision même si un signal OFDM contient une erreur de phase porteuse reproductrice, une erreur de phase de fenêtre FFT, une erreur de phase due à un bruit gaussien et une erreur de phase due à une distorsion de canal de transmission par trajets multiples ainsi qu'une erreur de phase due à une erreur de fréquence d'horloge.

D'une manière générale, chacun des symboles d'un signal horaire OFDM présente une période de symbole effective et une période de garde pour une copie d'une partie du symbole pendant la période de symbole effective, comme cela est montré au point (A) dans la figure 6.

5 Par conséquent, si une valeur de corrélation d'un signal horaire OFDM retardé par une période de symbole effective (voir le point (B) dans la figure 6) et le signal horaire OFDM original est calculée sur la largeur de la période de garde, elle présente une valeur maximum aux limites du symbole (voir le point (C) dans la figure 6).

10 Dans le cas où le signal d'horloge côté réception n'est pas synchronisé avec celui côté transmission, la phase avec laquelle la valeur de corrélation est maximisée change avec le temps, comme cela est montré dans la figure 7. En d'autres termes, comme cela est montré au point (A) dans la figure 7, le moment auquel la valeur de corrélation
15 devient maximale est constant lorsque le signal d'horloge côté transmission et le signal d'horloge côté réception sont correctement synchronisés. Toutefois, si la fréquence du signal d'horloge reproductrice est par exemple supérieure au signal d'horloge de transmission, la maximisation de la valeur de corrélation retarde graduellement. D'autre
20 part, si la fréquence du signal d'horloge reproductrice est inférieure au signal d'horloge de transmission, la maximisation de la valeur de corrélation avance graduellement. Si le circuit d'oscillation d'horloge 116 est commandé en observant un tel changement de phase, une reproduction synchronisée de la phase d'horloge peut être exécutée.

25 La figure 8 montre un deuxième mode de réalisation de la présente invention basé sur ce principe.

La figure 8 est un schéma bloc montrant la configuration d'un circuit selon un procédé de reproduction d'horloge utilisant une valeur de corrélation d'un signal horaire OFDM. Dans la figure 8, pour la clarté de
30 l'explication, une section de reproduction d'horloge est principalement illustrée sans section correspondant à la section de reproduction de porteuse montrée dans la figure 10.

Les composantes de canal I et les composantes de canal Q d'un signal horaire OFDM converti en une bande de base sont respectivement
35 entrées dans un circuit de transformation de Fourier rapide 704 et dans un circuit de calcul de valeur de corrélation 703. Le circuit de calcul de valeur

de corrélation 703 est prévu pour calculer une valeur de corrélation en utilisant la périodicité d'un signal horaire OFDM. Le circuit de transformation de Fourier rapide 704 est prévu pour calculer une valeur de corrélation en utilisant la périodicité d'un signal horaire OFDM. Le circuit
5 de transformation de Fourier rapide 704 est prévu pour obtenir et délivrer des données de canal I 705 et des données de canal Q 706 en exécutant une transformation de Fourier rapide des composantes de canal I et de canal Q entrées, et aussi pour transmettre les données de canal I 705 et les données de canal Q 706 à un circuit de détection de phase d'erreur
10 707. Le circuit de détection de phase d'erreur 707 est prévu pour détecter une erreur de phase en utilisant des signaux pilotes, comme cela est décrit en détail ci-dessous.

Un circuit de détection de valeur maximum 708 est prévu pour détecter un maximum de la valeur de corrélation sortie par le circuit de
15 calcul de valeur de corrélation 706 en synchronisation avec un compteur de symboles 709. Le compteur de symboles 709 est prévu pour compter le temps de symbole et pour fournir la valeur de compte au circuit de détection de valeur maximum 708. Une RAM 710 stocke la valeur de compte à laquelle le circuit de détection de valeur maximum détecte la
20 valeur maximum comme phase de référence si un signal de commande est délivré par le circuit de détection d'erreur de phase 707, c'est-à-dire si la quantité de changement devient inférieure à la résolution.

Un circuit de comparaison de phase 711 est prévu pour détecter une quantité d'erreur de phase en comparant la phase de
25 référence stockée dans la RAM 710 et la valeur de compte fournie par le compteur de symboles 709 par rapport à chaque symbole et à laquelle la valeur maximum est détectée. Un filtre passe-bas (LPF) 712 élimine les composantes de bruit de la quantité d'erreur de phase produite par le circuit de comparaison de phase 711 et transmet ensuite la quantité
30 d'erreur de phase à un circuit d'addition 713. Le circuit d'addition 713 calcule la somme de la quantité d'erreur de phase issue du LPF 712 et de la quantité d'erreur de phase fournie par le circuit de détection d'erreur de phase 707, et communique la somme calculée à un circuit de conversion numérique - analogique (A/D) 714. Le circuit de conversion D/A 714 est
35 prévu pour convertir les quantités d'erreur de phase délivrées par le circuit d'addition 713 en un signal analogique correspondant, et transmet ce

signal à un circuit d'oscillation d'horloge 116. Le circuit d'oscillation d'horloge 116 est prévu pour faire osciller un signal d'horloge d'une fréquence prédéterminée selon le signal fourni par le circuit de conversion D/A 714.

5 La configuration d'un exemple du circuit de détection d'erreur de phase 707 montré dans la figure 8 va maintenant être décrite en détail en se référant à la figure 9. Le circuit de détection d'erreur de phase 707 est formé en supprimant la section de stockage de phase de l'arrangement du mode de réalisation montré dans la figure 1. Dans la figure 9, des
10 sections correspondant à celles représentées dans la figure 1 sont désignées par des repères numériques correspondants. La description des sections correspondantes ne sera pas répétée.

 Dans ce mode de réalisation, la sortie du circuit de comparaison 518 est entrée dans une RAM 710. Sous ses autres aspects, la
15 configuration de ce mode de réalisation est identique à celle montrée dans la figure 1.

 Le fonctionnement de ce mode de réalisation va maintenant être décrit en se référant aux figures 8 et 9.

 A un stade initial de l'opération de reproduction d'horloge, une
20 démodulation différentielle inter-symboles des signaux traités par le traitement FFT est exécutée pour obtenir une erreur de phase de chaque sous-porteuse, comme cela est décrit ci-dessus par rapport au premier mode de réalisation. Des signaux pilotes sont extraits à partir du signal d'erreur de phase obtenu de cette manière. Une erreur de fréquence
25 d'horloge est détectée par une addition cumulative des signaux pilotes extraits, et un signal d'horloge est reproduit en se référant à l'erreur de fréquence détectée.

 Lorsqu'une reproduction de signal d'horloge exécutée par le circuit de détection d'erreur 707 est accomplie, la valeur d'erreur devient
30 inférieure à la résolution et tombe dans la région d'erreur de fréquence d'horloge résiduelle montrée dans la figure 4. A cet instant, le circuit de comparaison 518 compare la quantité d'erreur de phase 517 avec les données 519 correspondant au cas dans lequel les données modulées par différenciation inter-symboles sont nulles, et envoie un signal de
35 commande à la RAM 710 si ces données sont égales les unes aux autres. A la réception du signal de commande, la RAM 710 reçoit, à partir du

compteur de symboles 709, la phase de symbole correspondant à la valeur maximum détectée par le circuit de détection de valeur maximum 708 à l'instant correspondant, et stocke la phase de symbole reçue comme phase de référence.

5 Ensuite, le circuit de comparaison de phase 711 compare la phase de référence stockée dans la RAM 710 et la phase de détection de valeur maximum fournie par le compteur de symboles 709 correspondant à chaque symbole pour détecter une quantité d'erreur de phase. Le LPF 712 élimine les composantes de bruit de la quantité d'erreur de phase
10 délivrée par le circuit de comparaison de phase 711 et transmet la quantité d'erreur de phase au circuit d'addition 713. Le circuit d'addition 713 calcule la somme de la sortie du circuit de détection d'erreur de phase 707 et du LPF 712 et communique la somme calculée au circuit de conversion D/A 714.

15 Le circuit de conversion D/A 714 convertit le signal de sortie (signal numérique) délivré par le circuit d'addition 713 en un signal analogique correspondant et envoie ce signal au circuit d'oscillation d'horloge 116. Le circuit d'oscillation d'horloge 116 oscille à la fréquence selon la sortie du convertisseur D/A 714 pour produire le signal d'horloge.

20 Dans le mode de réalisation décrit ci-dessus, la fréquence du signal d'horloge est déterminée par une commande à grande vitesse du circuit de détection d'erreur de phase 707 à un stade initial de l'opération de reproduction d'horloge et, lorsque l'erreur de fréquence de l'horloge dévient inférieure à la résolution de détection du circuit de détection
25 d'erreur de phase 707, la valeur de corrélation du signal horaire OFDM est utilisée pour exécuter une commande de fréquence précise.

 Dans l'appareil de réception selon le premier aspect de la présente invention, et dans le procédé de réception selon le deuxième aspect de la présente invention, un signal OFDM est traité par une
30 transformation de Fourier discrète; une composante de fréquence sous-porteuse obtenue de cette manière est stockée; une quantité de changement de phase entre une composante de fréquence stockée au moins un symbole avant et une composante de fréquence nouvellement obtenue est calculée; une composante correspondant à une série de
35 signaux pilotes est extraite de la quantité de changement de phase calculée; et la fréquence d'un signal d'horloge est commandée selon la

- quantité de changement de phase extraite correspondant à la série de signaux pilotes. Par conséquent, il est possible de former le signal d'horloge avec précision même si le signal OFDM reçu contient, en plus d'une erreur de phase accompagnant une erreur de fréquence d'horloge,
- 5 une erreur de phase de porteuse reproductrice, une erreur de phase de fenêtre FFT, une erreur de phase due à un bruit gaussien, et une erreur de phase due à une distorsion de canal de transmission par trajets multiples.

REVENDECATIONS

1. Appareil pour recevoir un signal OFDM, comprenant :
des moyens de conversion (112) pour exécuter une
5 transformation de Fourier discrète du signal OFDM afin d'obtenir des
données de sortie décomposées par rapport à des fréquences sous-
porteuses ;
des moyens de calcul (511, 512) ;
des moyens de commande (515, 516) pour commander la
10 fréquence d'un signal d'horloge ; et
des moyens de stockage (506, 507) pour stocker lesdites
données obtenues par lesdits moyens de conversion (112) ;
caractérisé en ce que :
lesdits moyens de calcul (511, 512) servent à calculer une
15 quantité de changement de phase entre des données stockées dans
lesdits moyens de stockage (506, 507) au moins un symbole avant et des
données nouvellement obtenues par lesdits moyens de conversion (112) ;
des moyens d'extraction (514) sont prévus pour extraire une
quantité de changement de phase correspondant à une série de signaux
20 pilotes de la quantité de changement de phase calculée par lesdits
moyens de calcul ;
lesdits moyens de commande (515, 516) servent à commander
la fréquence du signal d'horloge selon la quantité de changement de
phase extraite par lesdits moyens d'extraction (514) et correspondant à la
25 série de signaux pilotes ;
des moyens de détection (518) sont prévus pour détecter la
diminution de la quantité de changement de phase extraite par lesdits
moyens d'extraction (514) et correspondant à la série de signaux pilotes
en dessous d'une valeur prédéterminée ; et
30 des moyens d'inhibition (520) sont prévus pour inhiber un
changement des données stockées dans lesdits moyens de stockage (506,
507) si une diminution de la quantité de changement de phase en dessous
de la valeur prédéterminée est détectée par lesdits moyens de détection
(518).

2. Appareil selon la revendication 1, dans lequel lesdits moyens de commande (515, 516) comprennent des moyens d'addition cumulative (515) pour exécuter, sur une période prédéterminée, une addition cumulative de quantités de changement de phase extraites par lesdits
5 moyens d'extraction (514) et correspondant à la série de signaux pilotes, lesdits moyens de commande servant à commander la fréquence du signal d'horloge selon une valeur obtenue par lesdits moyens d'addition cumulative.
- 10 3. Procédé de réception d'un signal OFDM, comprenant :
une étape de conversion (112) consistant à exécuter une transformation de Fourier discrète du signal OFDM afin d'obtenir des données de sortie décomposées par rapport à des fréquences sous-
porteuses ;
15 une étape de calcul (511, 512) ;
une étape de commande (515, 516) consistant à commander la fréquence d'un signal d'horloge ; et
une étape de stockage (506, 507) consistant à stocker lesdites données obtenues lors de ladite étape de conversion (112) ;
20 caractérisé par :
l'étape de calcul (511, 512) comprenant le calcul d'une quantité de changement de phase entre des données stockées lors de ladite étape de stockage au moins un symbole avant et des données nouvellement
obtenues lors de ladite étape de conversion ;
25 une étape d'extraction (514) consistant à extraire une quantité de changement de phase correspondant à une série de signaux pilotes de la quantité de changement de phase calculée lors de ladite étape de calcul ;
ladite étape de commande comprenant la commande de la
30 fréquence du signal d'horloge selon la quantité de changement de phase extraite lors de ladite étape d'extraction de signal (514) et correspondant à la série de signaux pilotes ;
une étape de détection (518) consistant à détecter la diminution de la quantité de changement de phase extraite lors de ladite
35 étape d'extraction (514) et correspondant à la série de signaux pilotes en dessous d'une valeur prédéterminée ; et

une étape d'inhibition (520) consistant à inhiber un changement des données stockées lors de ladite étape de stockage (506, 507) si une diminution de la quantité de changement de phase en dessous de la valeur prédéterminée est détectée.

5

4. Procédé selon la revendication 3, comprenant l'exécution, sur une période prédéterminée, d'une addition cumulative de quantités de changement de phase extraites lors de ladite étape d'extraction (514) et correspondant à la série de signaux pilotes, ladite étape de commande
10 comprenant la commande de la fréquence du signal d'horloge selon une valeur obtenue par ladite addition cumulative.

FIG. 1

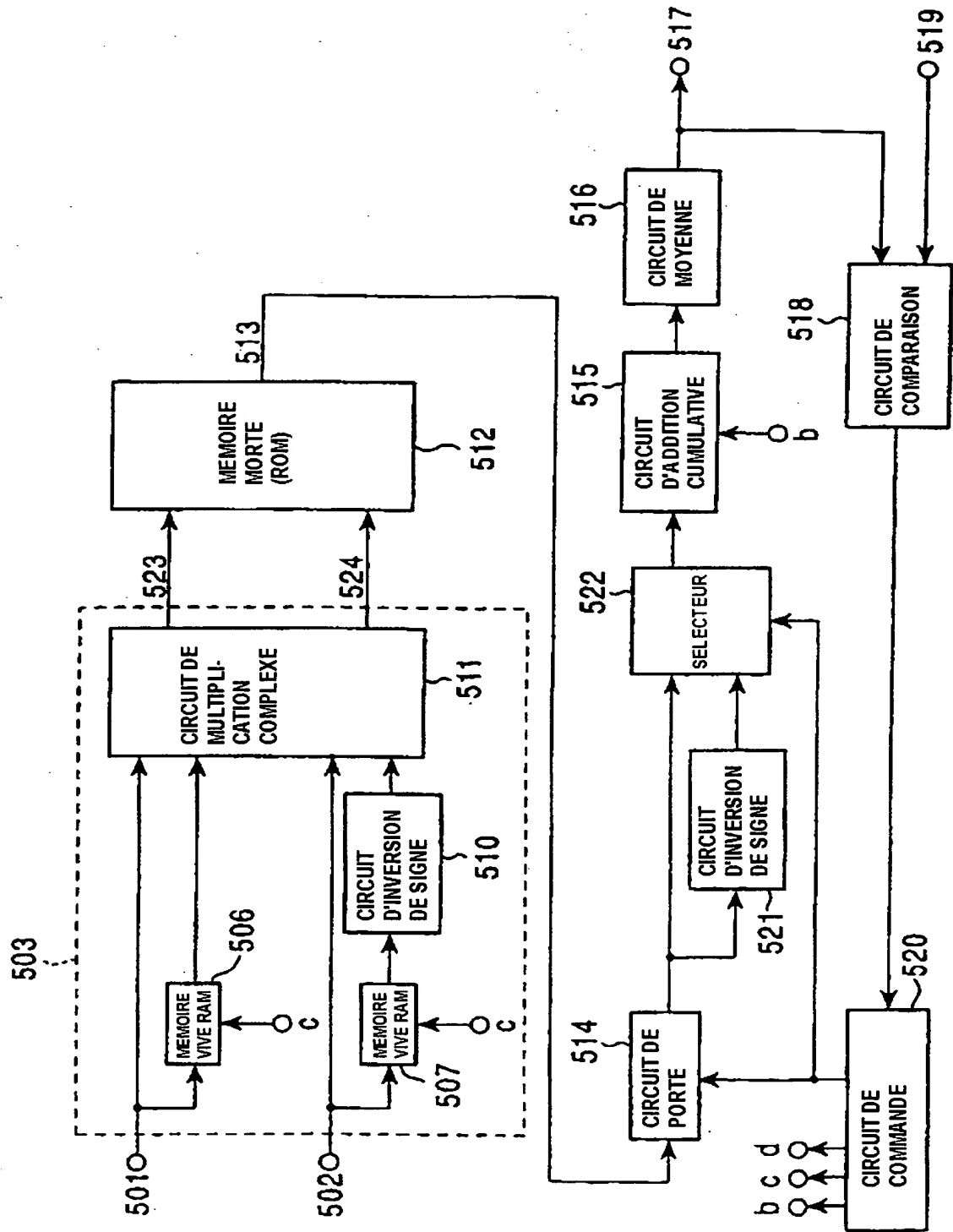
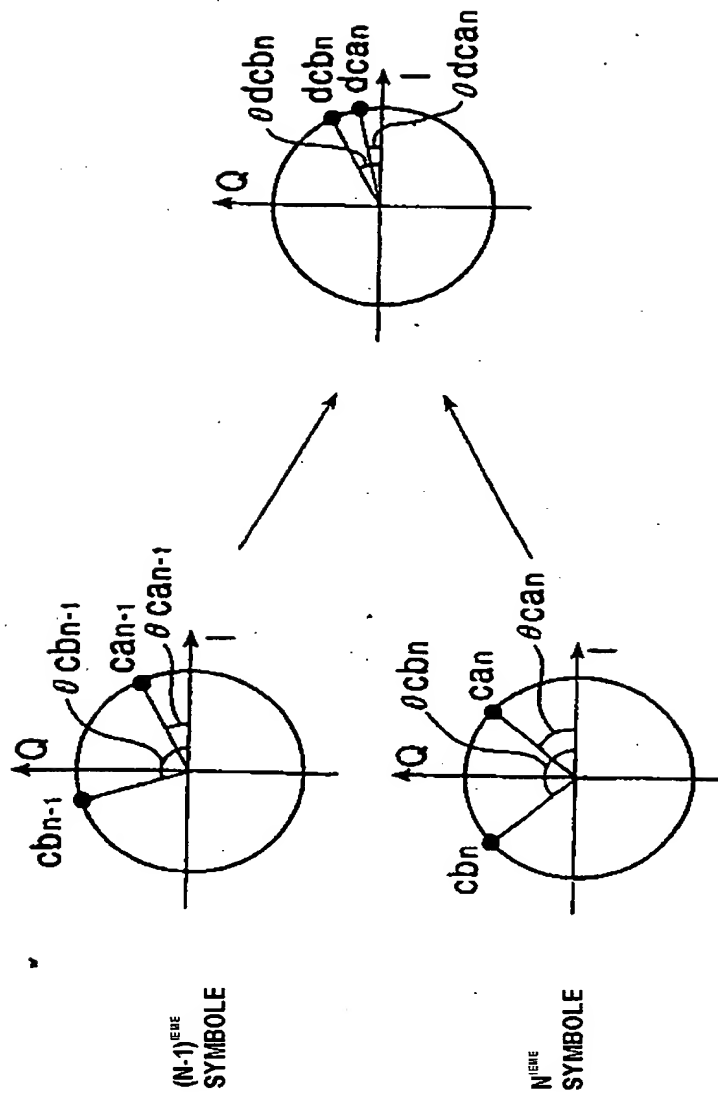


FIG. 2



(A) DONNEES SUR LE PLAN DE
PHASE APRES LA FFT

(B) DONNEES SUR LE PLAN DE
PHASE APRES LA DEMODULATION
DIFFERENTIELLE

FIG. 3

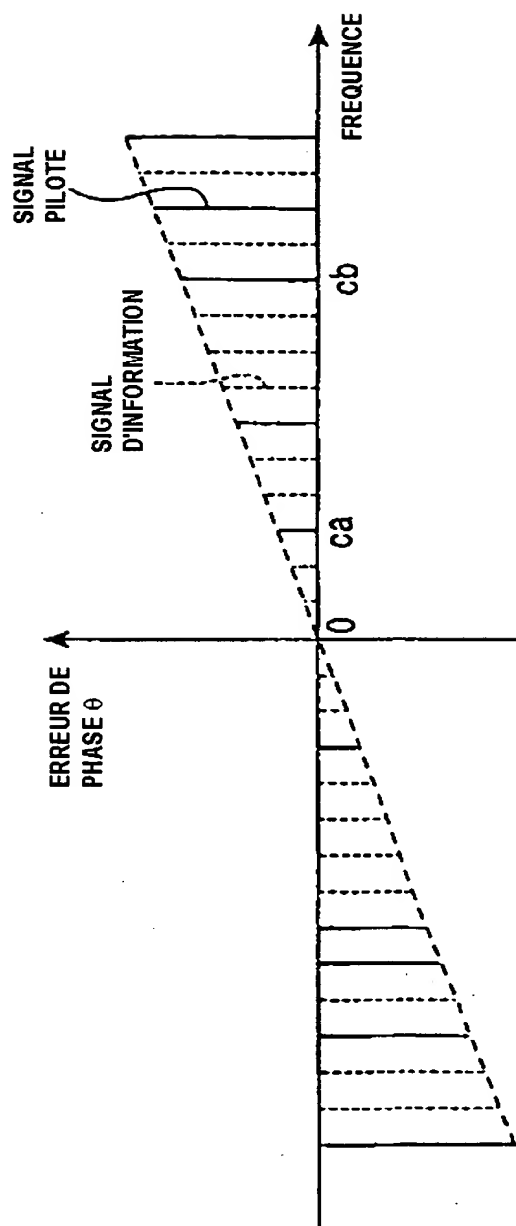


FIG. 4

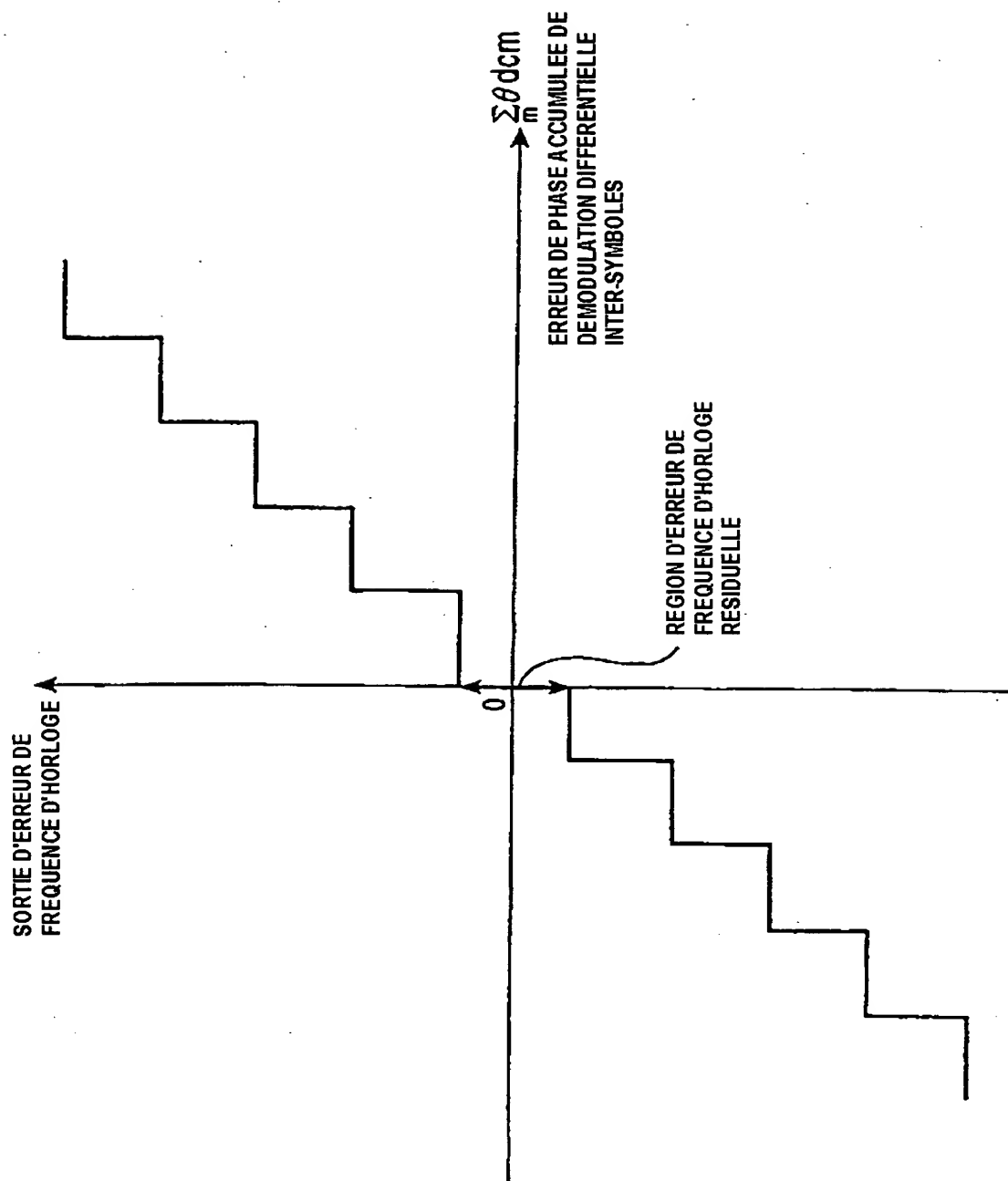
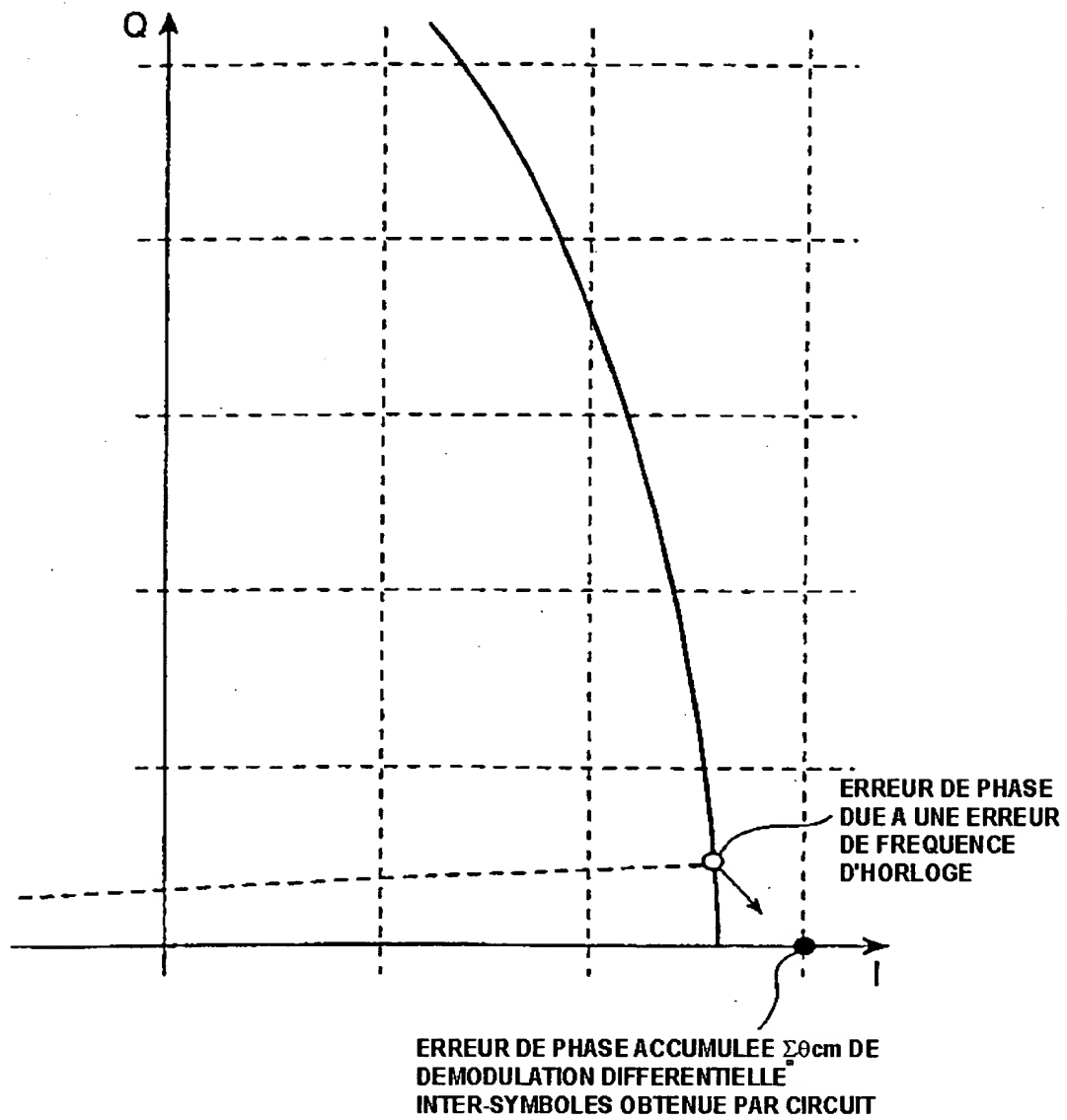
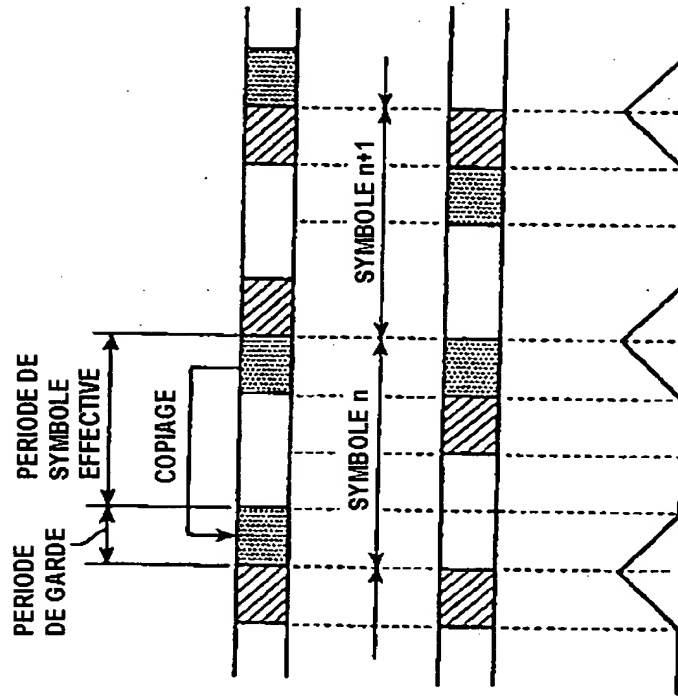


FIG. 5



6/12

FIG. 6

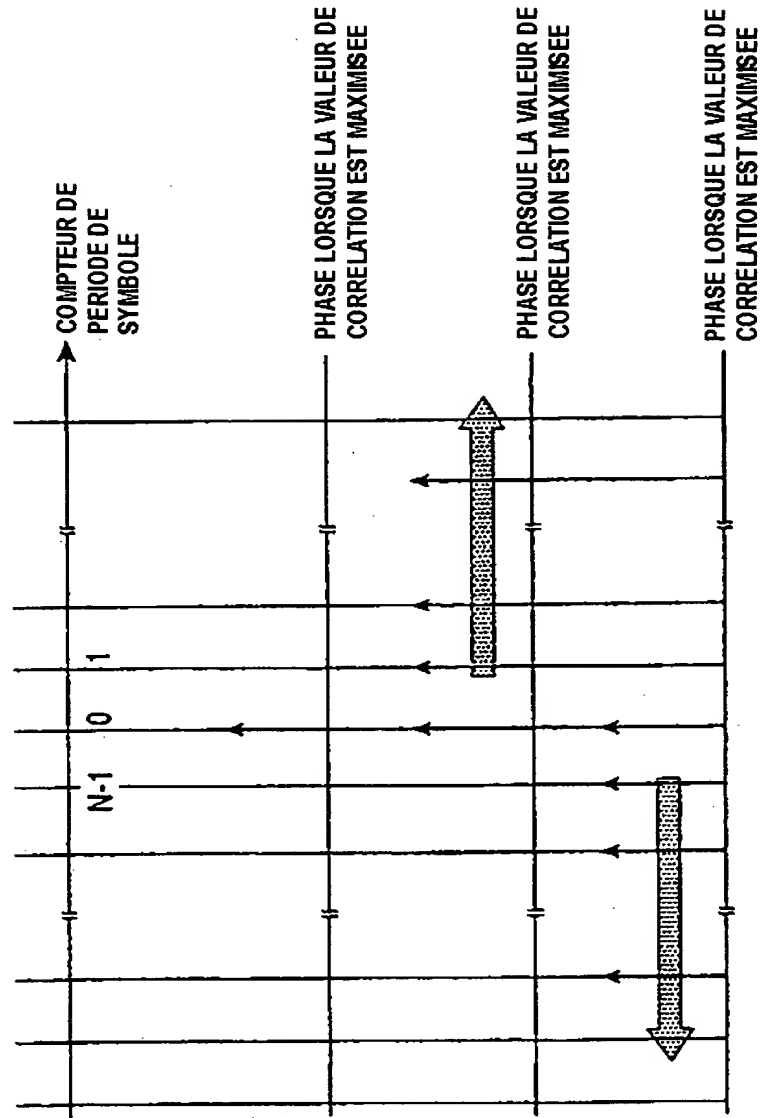


(A) SIGNAL HORAIRE OFDM

(B) PERIODE DE SYMBOLE EFFECTIVE
SIGNAL HORAIRE OFDM RETARDE

(C) VALEUR DE CORRELATION

FIG. 7



(A) CAS DANS LEQUEL L'HORLOGE DE TRANSMISSION ET L'HORLOGE REPRODUITE SONT SYNCHRONISEES

(B) CAS DANS LEQUEL LA FREQUENCE D'HORLOGE REPRODUITE EST PLUS ELEVEE QUE LA FREQUENCE D'HORLOGE DE TRANSMISSION

(C) CAS DANS LEQUEL LA FREQUENCE D'HORLOGE REPRODUITE EST INFERIEURE A LA FREQUENCE D'HORLOGE DE TRANSMISSION

FIG. 8

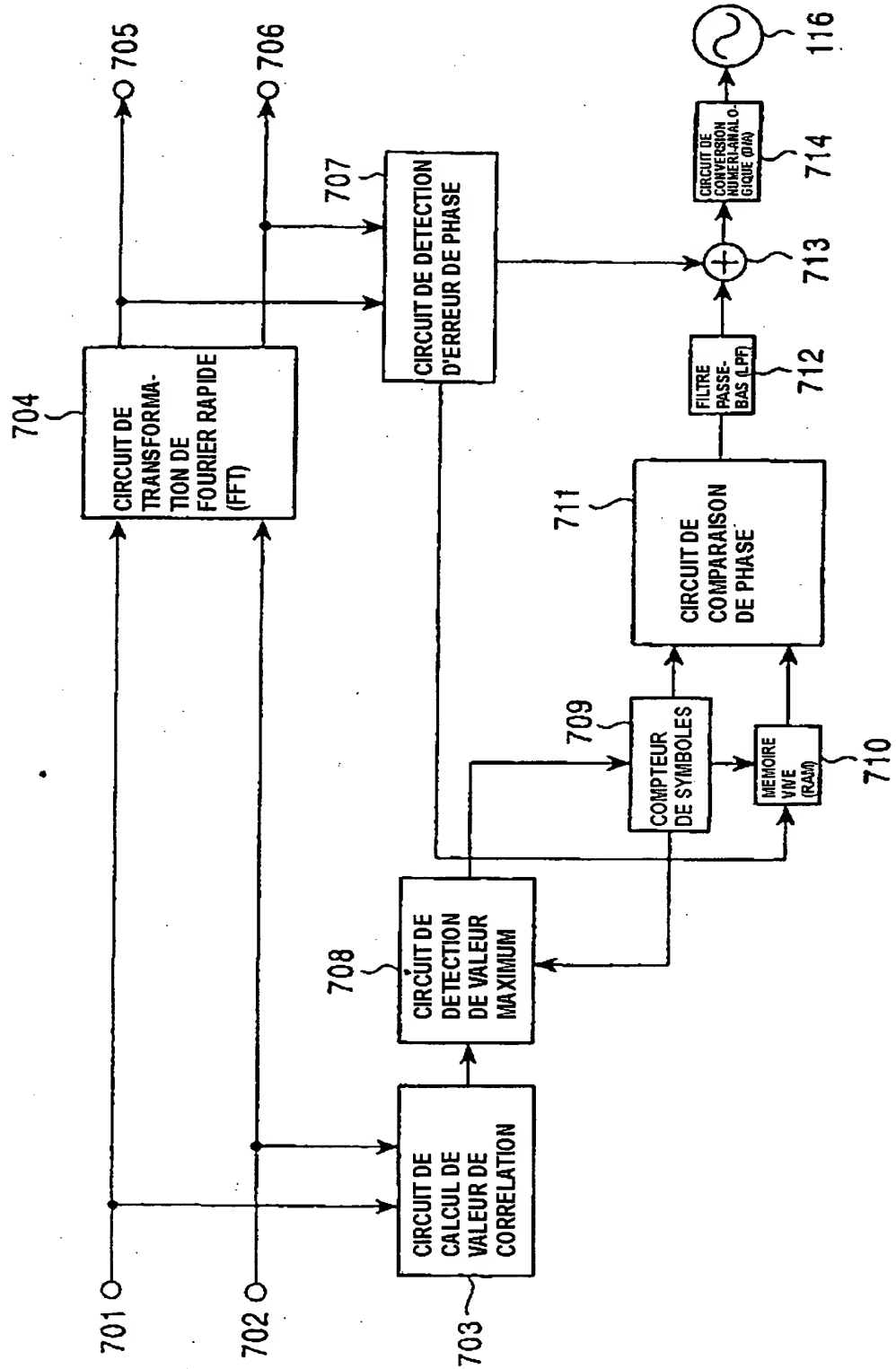
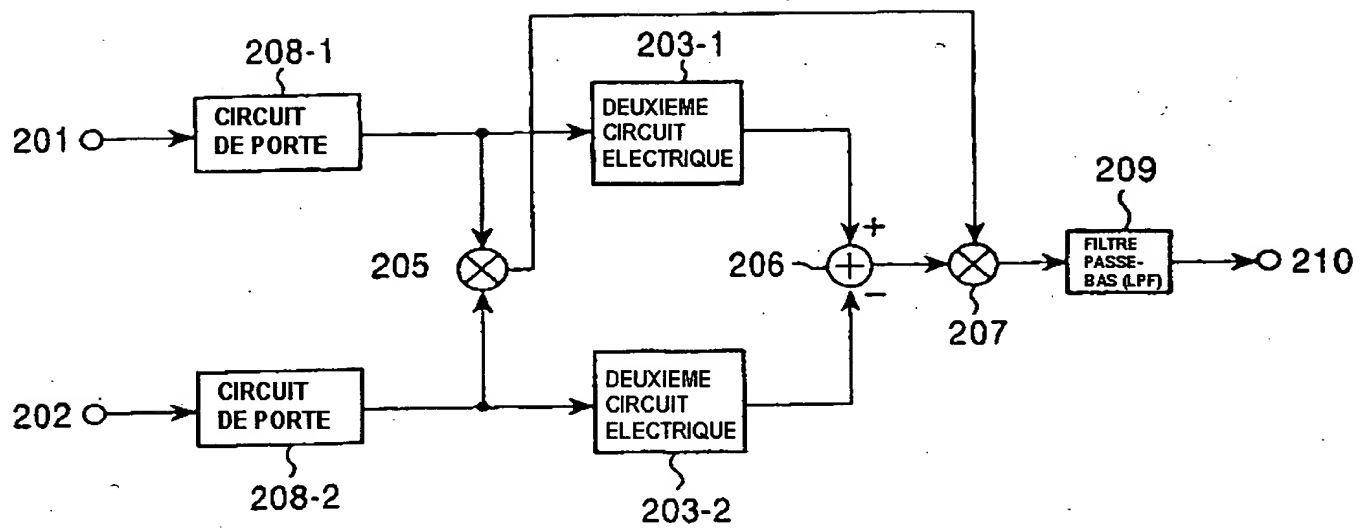


FIG. 11



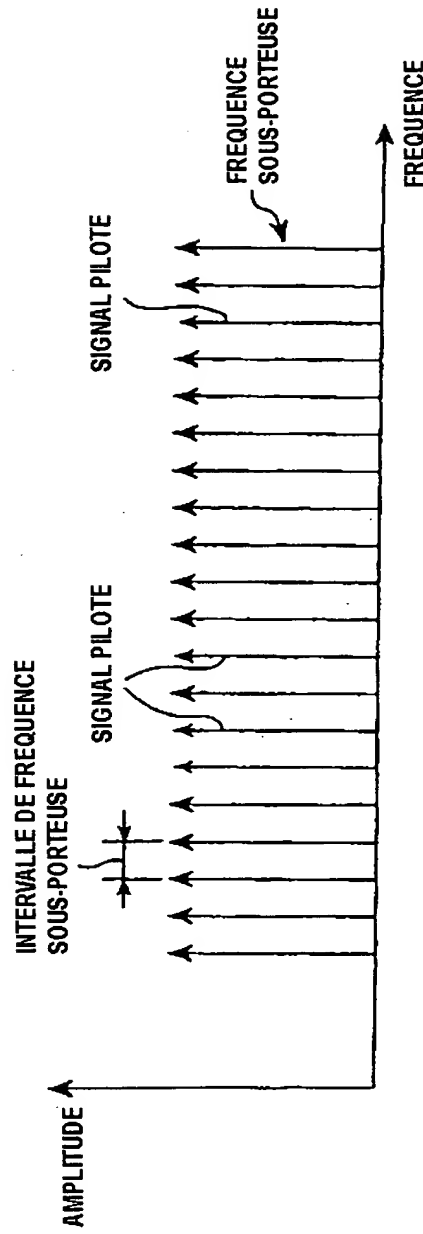


FIG. 12A

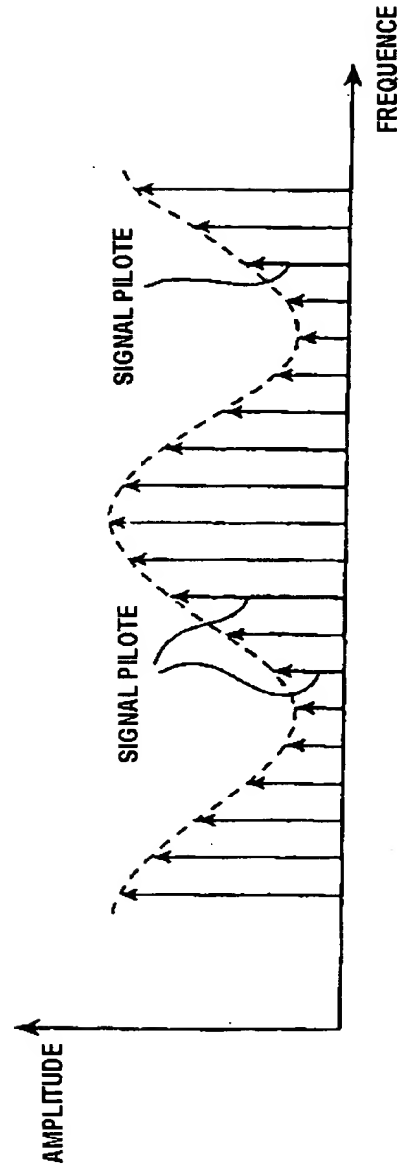


FIG. 12B